

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年8月25日 (25.08.2005)

PCT

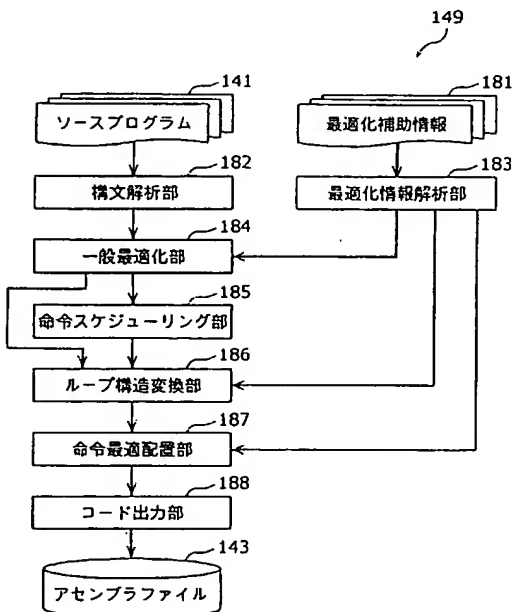
(10) 国際公開番号
WO 2005/078579 A1

- (51) 国際特許分類: G06F 9/45 (72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 川端 輝雄 (KAWA-BATA, Teruo). 小川 一 (OGAWA, Hajime). 瓶子 岳人 (HEISHI, Taketo). 山本 康博 (YAMAMOTO, Yasuhiro). 道本 昌平 (MICHIMOTO, Shohei).
- (21) 国際出願番号: PCT/JP2005/001670
- (22) 国際出願日: 2005年2月4日 (04.02.2005)
- (25) 国際出願の言語: 日本語 (74) 代理人: 新居 広守 (NI, Hiromori); 〒5320011 大阪府大阪市淀川区西中島3丁目11番26号 新大阪末広センタービル3F 新居国際特許事務所内 Osaka (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-035430 2004年2月12日 (12.02.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SI, SK, SL, SM, SN, SV, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VE, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: PROGRAM CONVERSION DEVICE AND PROGRAM CONVERSION METHOD

(54) 発明の名称: プログラム変換装置およびプログラム変換方法



(57) Abstract: A compiler improving the processing speed during program execution without issuing an instruction which may cause interlock is a compiler for a processor having an instruction which may cause interlock during execution. The compiler causes a computer to function: as a loop structure conversion unit (186) for causing an input program to divide the loop of x count into a loop of y count and performing dual loop conversion with the loop of y count as an inner loop and the loop of x/y count as an outer loop; and as an instruction optimal arrangement unit (187) for arranging an instruction which may cause interlock in the program after the dual loop conversion.

(57) 要約: インターロックを引き起こす可能性のある命令を無駄に発行せずに、プログラム実行時の処理速度を向上させるコンパイラは、実行時にインターロックを起こす可能性のある命令を備えたプロセッサ向けのコンパイラであって、入力プログラムに対し、ループ回数がx回のループをループ回数がy回のループに分割し、前記ループ回数がy回のループを内側ループとし、ループ回数がx/y回のループを外側ループとする二重ループ変換を行うループ構造変換部(186)と、前記二重ループ変換後のプログラムに対して、インターロックを起こす可能性のある命令の配置を行う命令最適配置部(187)としてコンピュータを機能させることを特徴とする。

- 141... SOURCE PROGRAM
182... SYNTAX ANALYSIS UNIT
184... GENERAL OPTIMIZATION UNIT
185... INSTRUCTION SCHEDULING UNIT
186... LOOP STRUCTURE CONVERSION UNIT
187... INSTRUCTION OPTIMAL ARRANGEMENT UNIT
188... CODE OUTPUT UNIT
143... ASSEMBLER FILE
181... OPTIMIZATION AUXILIARY INFORMATION
183... OPTIMIZATION INFORMATION ANALYSIS UNIT

WO 2005/078579 A1



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。